

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-236693

(43)Date of publication of application : 13.09.1996

(51)Int.Cl.

H01L 25/04
H01L 25/18
H01L 21/66

(21)Application number : 07-040223

(71)Applicant : NEC CORP

(22)Date of filing : 28.02.1995

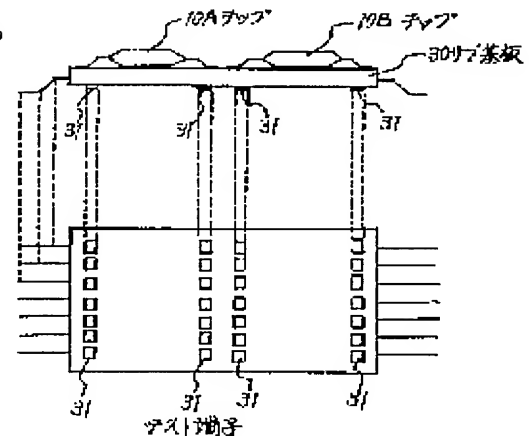
(72)Inventor : YOSHIDA YUMI

(54) MULTICHIP MODULE

(57)Abstract:

PURPOSE: To obtain a multichip module comprising a plurality of chips previously mounted on a subboard and eventually mounted on one board after inspection in which the inspection apparatus apparatus for subboard is simplified while reducing the manufacturing cost and inspection labor thereof.

CONSTITUTION: A test terminal 31 is provided on the rear of a subboard 30 and the chip mounting terminal on the surface is connected with the test terminal 31 in one and one correspondence. Since the terminal information can be obtained by simply touching a pin to the test terminal 31 at the time of intermediate inspection of the subboard 30, a socket is not required to be designed nor manufactured. Furthermore, when the test terminals 31 are provided around the subboard 30, probe card of IC tester can be utilized and the labor for preparing and executing the intermediate inspection can be reduced drastically.



LEGAL STATUS

[Date of request for examination] 28.02.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2630295

[Date of registration] 18.04.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 18.04.2003

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-236693

(43) 公開日 平成8年(1996)9月13日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 25/04			H 0 1 L 25/04	Z
25/18			21/66	E
21/66				

審査請求 有 請求項の数 3 O L (全 4 頁)

(21) 出願番号 特願平7-40223

(22) 出願日 平成7年(1995)2月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 吉田 由美

東京都港区芝五丁目7番1号 日本電気株式会社内

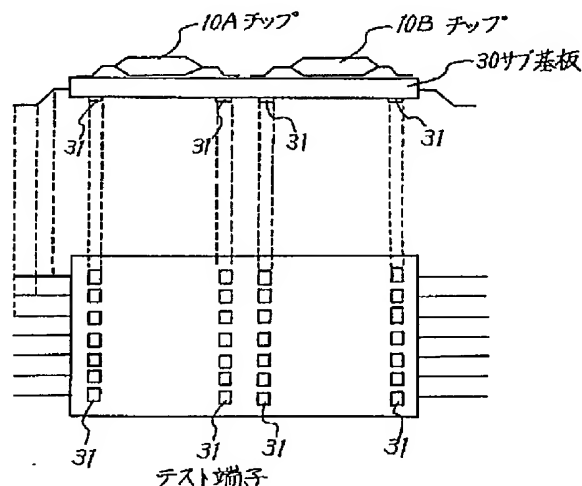
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 マルチ・チップ・モジュール

(57) 【要約】

【目的】複数のチップを予めサブ基板に実装し、検査した後、一枚の基板に実装して成るマルチ・チップ・モジュールにおいて、サブ基板検査に用いる検査装置を簡素化し、装置製作費用および検査工数の削減を可能にする。

【構成】サブ基板30の裏面に、テスト端子31を設け、表面側のチップ実装用端子とテスト端子31とを、一対一対応で接続する。サブ基板30の中間検査のとき、テスト端子31にピンを当てるだけで端子情報を得ることができるので、ソケットなどを設計、製作する必要がない、更に、テスト端子31をサブ基板30の周りに沿って設けると、ICテストのプロブカードを用いることができるので、中間検査のための準備、実行の工数が激減する。



【特許請求の範囲】

【請求項1】 一方の主面上に予め複数の半導体チップが実装されたサブ基板を、一つの基板に実装して成るマルチ・チップ・モジュールにおいて、

前記サブ基板の前記主面上に半導体チップ実装用電極を設けると共に、前記主面とは反対の面上に、前記主面上のチップ実装用電極に一つ一つ対応で電氣的に接続するテスト用電極を設けたことを特徴とするマルチ・チップ・モジュール。

【請求項2】 請求項1記載のマルチ・チップ・モジュールにおいて、

前記テスト用電極を、前記サブ基板を挟んで、前記チップ実装用電極と対称になるように配置したことを特徴とするマルチ・チップ・モジュール。

【請求項3】 請求項1記載のマルチ・チップ・モジュールにおいて、

前記テスト用電極を、サブ基板の周に沿って配置したことを特徴とするマルチ・チップ・モジュール。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数の半導体チップを予めサブ基板に実装し、そのサブ基板を更に一つの基板上に実装した構造のマルチ・チップ・モジュールに関し、特に、チップ実装済みサブ基板の検査、選別を容易にするための技術に関する。

【0002】

【従来の技術】マルチ・チップ・モジュール（以下MCMと略す）の組み立て技術としては、従来、特開昭64-72538号公報に開示されているように、サブ基板（中間基板）に一旦部品を実装し、検査したものを、MCM基板への組み立てを行なうことにより、MCM基板全ての部品を実装してから検査を行なうよりも組み立て歩留まりをあげるという従来技術が知られている。

【0003】一方、サブ基板を用いると部品の実装面積が大きくなるという欠点があることから、特開平3-101289号公報に開示されているように、サブ基板をフィルム状のものにすることで、部品を直付けした場合と実装面積を同じにする技術が開発されている。

【0004】図3は、従来のMCM全体を表す図である。MCM基板50上に、サブ基板20A、20Bが実装され、それぞれのサブ基板上にはチップ10Aと10B、10Cと10Dがワイヤー・ボンディング実装されている。チップのリード11をサブ基板上のパッド21に接続することで、配線はサブ基板の内部を通してサブ基板のリード22まで通じ、またMCM基板上のパッド51とサブ基板のリード22とを接続することにより、MCM基板からチップまでの配線がすべて接続されることになる。

【0005】図4は、チップ実装前のサブ基板のみの上面図である。サブ基板20は、表側にチップのリードと

の接点になるパッド21を持ち、側面にはMCM基板との接点になるリード22が並んでいる。

【0006】このMCMを組み立てる際は、まずチップをサブ基板に実装し、専用装置を用いてサブ基板の検査、選別を行ない（中間選別）、合格したサブ基板のみを基板に実装するという手順が必要である。

【0007】ところで上記の中間選別では、サブ基板が正常動作するかを確認するため、各端子の状態を確認する必要がある。実際の作業としては、サブ基板を専用装置上に装着し、検査プログラムを実行させ、表示される結果を装置上で確認する。このとき、サブ基板に実装されているチップのワイヤーボンディングされた部分は微細なので、市販のピンやクリップでそれぞれの端子に接続することは実際上不可能である。また、サブ基板のリード部分に接続するには、まずサブ基板を何らかの方法で固定しておいてから、各端子への接続を行わなければならない。この解決策として、サブ基板実装用のソケットを作成するのが一般的である。しかしその場合、検査するサブ基板の大きさやピン配置に合わせてソケットを個別に設計、製作する必要がある。

【0008】

【発明が解決しようとする課題】サブ基板を用いると装置全体の歩留まり上がるという利点があるが、一方で、中間選別専用の検査装置を作成しなければならないので、選別作業の準備に多大な工数と費用がかかるという問題点があった。

【0009】

【課題を解決するための手段】本発明は、上記問題点を解決するため、サブ基板に、実装用の端子群の他に、テスト用の端子群を設け、これらの端子同士を一つずつ接続させることを特徴とする。

【0010】

【実施例】次に、本発明の好適な実施例を、図面を用いて説明する。図1は本発明の第一の実施例によるサブ基板を側面および裏面から見た図である。サブ基板30上にチップ10A、10Bが実装されているという構成は従来と変わらないが、サブ基板30裏面にテスト端子31を設けている点が従来と異なる。このテスト端子31は、表面のチップ実装用パッド（図示せず）を裏面に引き出したものである。裏面のテスト端子31は、表面のチップ実装用パッドに対して表裏対称の位置に配置され、表面のパッドより大きく設定されている。

【0011】このテスト端子31を利用することで、サブ基板30の裏側にピンを圧着させて導通させるだけでソケットから配線したときと同様に端子情報を得ることができる。従って、例えば市販のピンを検査用基板上に並べるといった、従来より簡単な検査装置で中間選別を行うことができ、専用ソケットの設計、製作の必要がなくなる。従って、中間選別の準備にかかる工数と費用を大幅に削減することができる。

【0012】次に、本発明の第2の実施例を、図4を用いて説明する。図2は、本発明の第2の実施例によるサブ基板を裏面からみた底面図である。第1の実施例でサブ基板裏面の中央部に配置していたテスト端子を、テスト端子41のように、サブ基板40の周縁部に配置し、ICテスター用プローブ・カードのピン配置と同じ配置にしている。これにより、本サブ基板40は、裏面をプローブ・カードに装着することで、ICテスターで中間選別を行なうことができ、専用装置の準備が不要となる。以上のように、サブ基板40のテスト端子41をICテスターと共有することで、検査の準備及び検査にかかる工数と費用を大幅に削減することができる。

【0013】

【発明の効果】本発明は、マルチ・チップ・モジュールのサブ基板に、テスト端子を設けることで、テストバリティを向上させ、その結果検査装置の簡素化、装置作成のための工数削減、検査工数の削減という効果がある。

【図面の簡単な説明】

*

*【図1】本発明の第1の実施例によるサブ基板の側面図および底面図である。

【図2】本発明の第2の実施例によるサブ基板の底面図である。

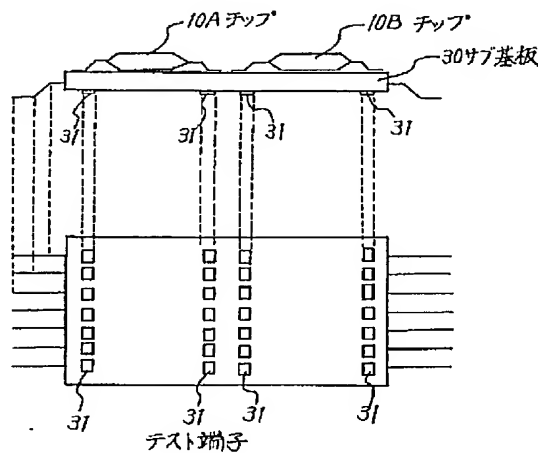
【図3】従来の技術によるMCMの一例の斜視図である。

【図4】図3に示すMCMに用いられるサブ基板の平面図である。

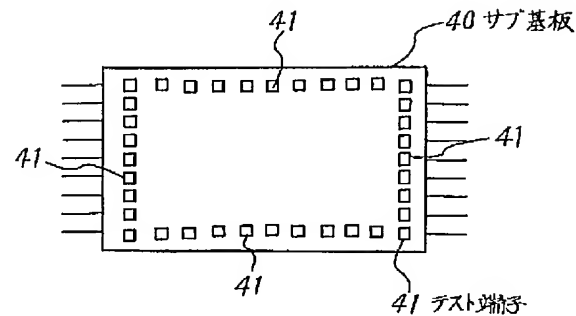
【符号の説明】

- | | |
|--------------------|-------|
| 10A, 10B, 10C, 10D | チップ |
| 11 | リード |
| 20, 20A, 20B | サブ基板 |
| 21 | パッド |
| 22 | リード |
| 30, 40 | サブ基板 |
| 31, 41 | テスト端子 |
| 50 | MCM基板 |

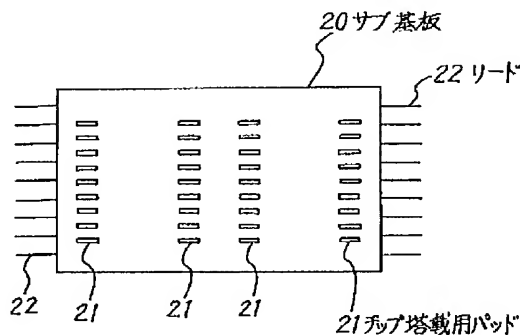
【図1】



【図2】



【図4】



【図3】

